

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-289313

(43)Date of publication of application : 04.11.1997

(51)Int.CI.

H01L 29/78
H01L 21/3065
H01L 21/76

(21)Application number : 08-098302

(71)Applicant : SONY CORP

(22)Date of filing : 19.04.1996

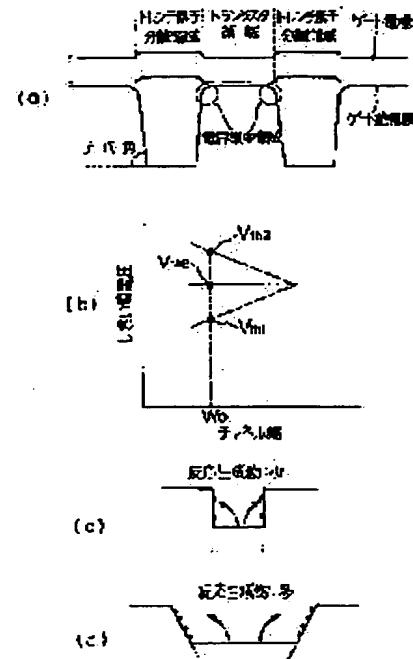
(72)Inventor : YAMAMURA YASUHIRO

(54) THRESHOLD VOLTAGE SETTING METHOD FOR SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain elements having different threshold voltages on a Si substrate, without increasing the man-hour by respectively setting the threshold voltages of transistors with changing the inclination angles of trench elements at forming of the trench elements round elements formed on the substrate to electrically isolate these elements.

SOLUTION: The absolute value of the threshold voltage of a transistor having a small channel width may vary, depending of the inclination angle of a groove at a trench element isolation region (a). The threshold voltage V_{th3} rises with decrease of the channel width (b). With increase of the inclination angle and decrease of the channel width, the threshold voltage V_{th1} decreases (b). The amt. of reaction product depends on a region to be etched and the inclination angle increases or decreases with the decrease or increase of the groove width (c, d). Utilizing these characteristics at forming of the trench elements, the groove width is controlled to give threshold voltages of transistors.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-289313

(43)公開日 平成9年(1997)11月4日

(51)Int.Cl. [*]	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/78			H 01 L 29/78	3 0 1 R
21/3065			21/302	L
21/76			21/76	L

審査請求 未請求 請求項の数2 OL (全5頁)

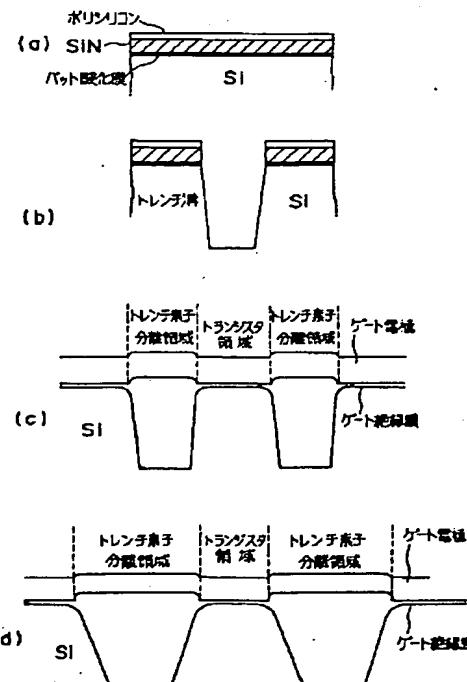
(21)出願番号	特願平8-98302	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成8年(1996)4月19日	(72)発明者	山村 育弘 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74)代理人	弁理士 高橋 光男

(54)【発明の名称】 半導体装置におけるしきい値電圧の設定方法

(57)【要約】

【課題】 高機能化に適した様々なしきい値電圧を有するトランジスタを工程数を増加させることなく製造できるようにした、半導体装置におけるしきい値電圧設定方法の提供にある。

【解決手段】 シリコン基板上に形成する多数の素子を電気的に相互に分離するため、各素子の周囲にトレンチ素子を形成する際に、このトレンチ素子の傾斜角を変えることによって各トランジスタのしきい値電圧を個々に設定するようにした。この場合、傾斜角の変更は、トレンチ素子の溝幅を変えることによって行うようにした。



【特許請求の範囲】

【請求項1】シリコン基板上に形成する多数の素子を電気的に相互に分離するため、各素子の周間にトレンチ素子を形成する際に、このトレンチ素子の傾斜角を変えることによって各トランジスタのしきい値電圧を個々に設定するようにしたことを特徴とする半導体装置におけるしきい値電圧設定方法。

【請求項2】前記傾斜角の変更は、トレンチ素子の溝幅を変えることによって行うようにしたことを特徴とする請求項1に記載の半導体装置におけるしきい値電圧の設定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置におけるしきい値設定方法に関し、詳しくは集積回路中のMOS型トランジスタに対するしきい値の設定方法に関するものである。

【0002】

【従来の技術】近年、半導体素子の集積化が進み、多数のMOS型トランジスタを含む素子が1個のチップ上に形成されており、この隣り合う各素子を電気的に分離するために、従来から選択酸化技術(LOCOS)が用いられている。LOCOSとは、シリコン基板上に酸化シリコン膜をつくり、そのあと素子を形成する部分に窒化シリコン膜でマスクしておき、水蒸気雰囲気中で高温で熱酸化して、露出している酸化シリコン膜を厚い酸化シリコン膜に変えて、窒化シリコン膜を除去することによって、素子を隣り合う素子から分離する方法である。

【0003】この方法は、酸化シリコン膜が上下方向に成長すると同時に、横方向にも酸化が進行するので、いわゆるバースピークが生じ分離帯幅をあまり狭くできないので、素子の集積度を上げにくいという問題点がある。また、この方法でできる表面の凹凸も超LSI等の微細加工を妨げる要因となっている。そこで、超LSI等では、平坦な表面構造を持ち、微細で比較的深い分離領域を形成する方法として、容量を形成する方法と類似の方法によるトレンチ素子分離法が用いられるようになってきた。

【0004】トレンチ素子の形成方法は、シリコン基板に形成する素子の回りにドライエッティングによって深い溝であるトレンチをつくり、そこにCVD法等によってSiO₂を堆積させる。ただ、そのままでは、トレンチの部分と素子の部分とに段差が生じてしまうので、この上に厚くレジストを塗って表面を平らにし、その上で全面をエッチングする。その際のドライエッティング用ガスとしては、レジストと酸化膜SiO₂と同じ速度でエッティングし、Siはエッティングしないガスを用いる。

【0005】このように、シリコン基板上に集積された隣り合うMOS型トランジスタ等の素子の分離は、トレンチ素子分離法やあるいはLOCOS分離法によって行

われている。ところで、このようにして分離された素子領域に、それぞれMOS型トランジスタ等を形成するわけであるが、現在の集積度からみると種々のしきい値電圧を有するトランジスタを形成する必要がある。このため、従来から行われている方法としては、トランジスタの形成プロセスにおいて、しきい値を決めるトランジスタに合わせたレジストパターンを塗布し、そのトランジスタのチャネル領域に不純物をインプラテーションする方法が用いられている。

【0006】

【発明が解決しようとする課題】しかしながら、従来の方法では、種々の値のしきい値電圧を必要とするトランジスタに対応して、その都度レジストパターンを塗布し、チャネル領域に不純物をインプラテーションすることを繰り返さなければならず、異なるしきい値電圧の数だけ、レジストのバーニング、インプラテーション、レジストの除去の工程が必要となり、煩雑であり製造コストも高くなってしまう結果となっている。

【0007】本発明は、上述課題を解決するためになされたものであって、その目的とするところは、高機能化に適した様々なしきい値電圧を有するトランジスタを工程数を増加させることなく作製できるようにした、半導体装置におけるしきい値電圧設定方法の提供にある。

【0008】

【課題を解決するための手段】上述課題を解決するためには、本発明は、次のような手段を採用した。すなわち、本発明による半導体装置におけるしきい値電圧設定方法は、シリコン基板上に形成する多数の素子を電気的に相互に分離するため、各素子の周間にトレンチ素子を形成する際に、このトレンチ素子の傾斜角を変えることによって、各トランジスタのしきい値電圧を個々に設定するようにしたことを特徴としている。なお、この場合、傾斜角の変更は、トレンチ素子の溝幅を変えることによって行うようにした。

【0009】本発明は、上述のように構成されているので、シリコン基板上に形成するMOS型トランジスタ等の各素子を電気的に分離するためのトレンチ素子をトランジスタの周間に形成する際に、トレンチ素子の溝の傾斜角を制御して、各トランジスタが必要とするしきい値電圧になるようにする。これにより、工程数を増加させることなく、シリコン基板上に種々の異なるしきい値電圧のトランジスタを形成することが可能となる。

【0010】次に、トレンチ素子の溝の傾斜角を変えることによって、MOS型トランジスタのしきい値電圧を変えられることについて説明する。MOS型トランジスタにあっては、LOCOS分離法によって隣接するトランジスタ間を分離した場合、図2(a)に示すように、トランジスタのしきい値電圧は、チャネル幅の縮小に伴い、その絶対値が急激に増加する狭チャネル効果が広く知られている。また、一方、トレンチ素子分離法により

隣接するトランジスタ間を分離した場合、図2(b)に示すように、トランジスタのしきい値電圧は、チャネル幅の縮小に伴い、その絶対値が減少する逆狭チャネル効果を実現することができる。

【0011】トレンチ素子分離法を用いたトランジスタでは、図3(a)に示すように、トレンチ素子分離領域の形状効果のため、チャネル端で電界集中が起こり、その影響のため、チャネル幅の小さいトランジスタではしきい値電圧の絶対値の変動があるためである。その変動の割合は、トレンチ素子分離領域の形状に依存し、例えば溝の傾斜角(テーパー角)に依存する。すなわち、傾斜角が減少するとチャネル端での電界集中が緩和され、チャネル幅に対するしきい値電圧の絶対値の依存性が弱くなつて、図3(b)のV_{th2}に示すようにチャネル幅が小さくなつてもしきい値電圧は変わらない。

【0012】さらに、傾斜角がより小さくなるとLOCOS分離法の場合と同様、狭チャネル効果が現れ、図3(b)のV_{th3}に示すようにチャネル幅が小さくなるに従つてしきい値電圧が上がるようになる。一方、傾斜角が増加すると、チャネル端で電界が集中し、チャネル幅に対するしきい値電圧の絶対値の依存性が強くなつて、図3(b)のV_{th1}に示すようにチャネル幅が小さくなるに従つてしきい値電圧は減少する。

【0013】本発明は、この点に着目して、集積度の高くチャネル幅が小さいトランジスタのしきい値電圧を、トレンチ素子の溝の傾斜角を変えることにより、工程数を増加させることなく、シリコン基板上に種々の異なるしきい値電圧のトランジスタを形成する。

【0014】この傾斜角の制御は、トレンチ素子の溝幅を予め設定することによっておこなう。トレンチ素子の溝を形成するときのドライエッティングでは、エッティング膜であるシリコンとエッティングガスとの反応生成物により溝側壁が保護され、溝がテーパー状になる。そのため、反応生成物の量に傾斜角が依存し、反応生成物の量が多いと傾斜角が小さくなり、反応生成物の量が少ないと傾斜角が大きくなる。このとき、反応生成物の量はエッティングされる領域の広さに依存し、広いと多く、狭いと少ない。つまり、図3(c)に示すように、溝幅が小さいと傾斜角が大きくなり、図3(d)に示すように、溝幅が大きいと傾斜角が小さくなる。この特性を利用し、本発明では、トレンチ素子を形成する際に、溝幅を制御して各トランジスタに所望のしきい値電圧を与えるようにしたのである。

【0015】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。まず、図1(a)に示すように、シリコン基板Si上に熱酸化によってパッド酸化膜を形成する。次に、その上にCVD法によってSiN膜、さらにポリシリコン膜を堆積させる。続いて、フォトレジストによりトレンチ素子分離領域をパターニング

グし、ドライエッティングによってパターニングした部分のポリシリコン膜、SiN膜及びパッド酸化膜を除去する。さらに、ドライエッティングによってパターニングしたトレンチ素子分離領域の部分のシリコン基板をエッティングして、図1(b)に示すように、溝を形成する。その後は、従来と同様にして、溝内にCVD法等によってSiO₂を堆積させ、図1(c)、(d)に示すような分離領域を形成する。

【0016】上述したように、傾斜角が小さいと、チャネル端での電界集中が緩和され、チャネル幅に対するしきい値電圧の絶対値の依存性が弱くなつて、チャネル幅が小さくなつてもしきい値電圧は変わらない。傾斜角がより小さくなるとLOCOS分離法の場合と同様、狭チャネル効果が現れ、チャネル幅が小さくなるに従つてしきい値電圧が上がるようになる。一方、傾斜角が増加すると、チャネル端で電界が集中し、チャネル幅に対するしきい値電圧の絶対値の依存性が強くなつて、チャネル幅が小さくなるに従つてしきい値電圧は減少する。

【0017】また、トレンチ素子の溝を形成するときのドライエッティングでは、エッティング膜であるシリコンとエッティングガスとの反応生成物により溝側壁が保護され、溝がテーパー状になる。そのため、反応生成物の量に傾斜角が依存し、反応生成物の量が多いと傾斜角が小さくなり、反応生成物の量が少ないと傾斜角が大きくなる。反応生成物の量はエッティングされる領域の広さに依存し、広いと多く、狭いと少ない。すなわち、溝幅が小さいと傾斜角が大きくなり、溝幅が大きいと傾斜角が小さくなる。

【0018】そこで、各MOS型トランジスタが必要とするしきい値電圧に対応させて、予めトレンチ素子の溝幅を設定し形成する。これによって、シリコン基板上に集積された各種のMOS型トランジスタが必要とする種々のしきい値電圧を、工程を増やさずに達成することができるとともに、同じゲート長、ゲート幅でもしきい値電圧の異なるトランジスタを同一工程で作製することができる。また、例えば集積度の高い部分では溝幅を狭くすることによって低しきい値電圧とし、周辺部では溝幅を広くして高しきい値電圧とすることもできる。

【0019】

【発明の効果】以上説明したように、本発明によれば、シリコン基板上に種々の異なるしきい値電圧のトランジスタを、工程数を増加させることなく形成することができ、コストの削減が図れる。

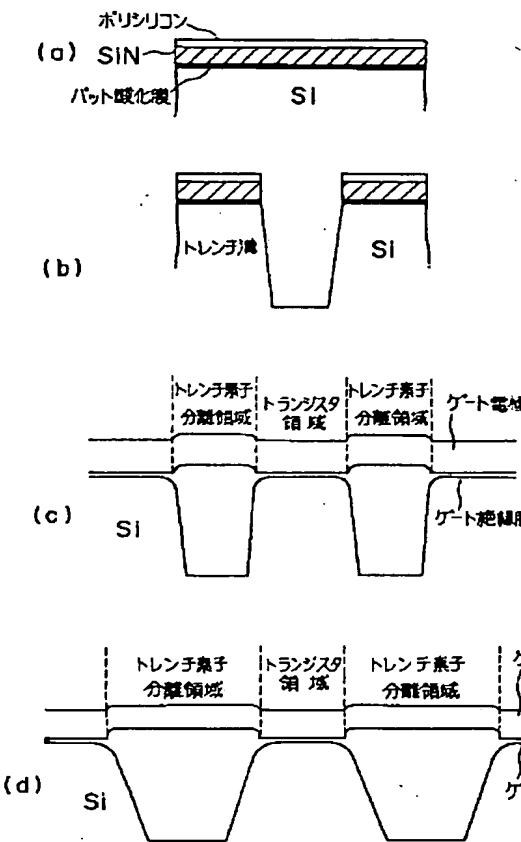
【図面の簡単な説明】

【図1】本発明の実施形態を示す図で、トレンチ素子分離領域の断面を模式的に表した図である。

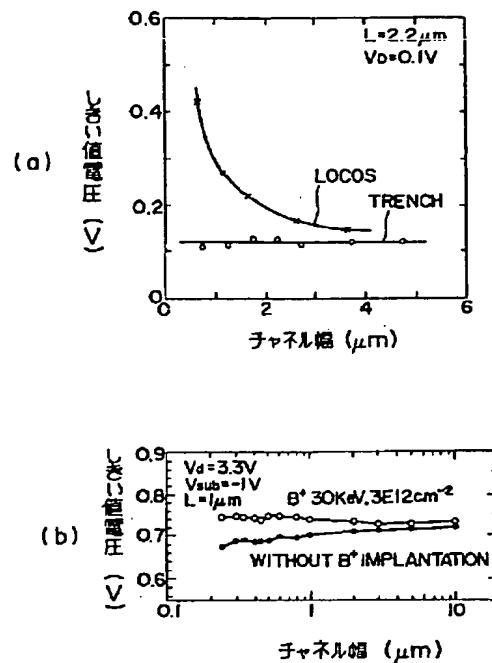
【図2】チャネル幅としきい値電圧の関係を示す図である。

【図3】トレンチ素子の形状によるしきい値電圧への影響を示した図である。

【図1】



【図2】



【図3】

